

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

012373329 **Image available**

WPI Acc No: 1999-179436/199915

Thin film transistor having a dual LDD structure NoAbstract

Patent Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU)

Inventor: CHANG Y S

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
KR 98010560	A	19980430	KR 9629377	A	19960719	199915 B

Priority Applications (No Type Date): KR 9629377 A 19960719

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
KR 98010560	A		G02F-001/136	

Title Terms: THIN; FILM; TRANSISTOR; DUAL; LDD; STRUCTURE;
NOABSTRACT

Derwent Class: P81; U12; U14

International Patent Class (Main): G02F-001/136

File Segment: EPI; EngPI

?

특 1998-0010560

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특 1998-0010560
G02F 1/136 (43) 공개일자 1998년 04월 30일

(21) 출원번호 특 1996-0029377
(22) 출원일자 1996년 07월 19일
(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지 (우 : 442-370)
(72) 발명자 장운석
서울특별시 강북구 미아 8동 763-22호 (우 : 142-108)

심사청구 : 없음

(54) 이중 LDD구조를 갖는 박막 트랜지스터

요약

본 발명에 의한 박막 트랜지스터는 소오스 및 드레인 영역이 두개의 저 농도 불순물영역 사이에 고농도 불순물 영역이 있는 이중 LDD구조를 하고 있다. 따라 드레인 접합면의 전기장의 세기가 감소되어 역바이어스가 인가될 때 누설전류를 줄일 수 있다. 또한, 저 농도의 불순물영역사이에 고 농도의 불순물 영역이 있으므로 순방향 전압인가시 전류의 밀도가 높아진다. 그리고 소오스 및 드레인 영역의 내 불순물 도핑 농도와 함께 각 불순물영역의 길이를 변화시켜 누설전류와 정상전류의 감소를 최소로 할 수 있음은 물론 상기 정상전류의 마진범위내에서 상기 두 LDD영역에서의 최적 누설전류 포화 점(saturation point)을 구할 수 있다.

도표도

도2

발명서

[발명의 명칭]

이중 LDD구조를 갖는 박막 트랜지스터

[도면의 간단한 설명]

제1도는 종래 기술에 의한 박막 트랜지스터의 단면도이다.

제2도는 본 발명에 의한 이중 LDD구조를 갖는 박막 트랜지스터(Thin Film Transistor) 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

10 : 반도체기판 40 : 제1 불순물층
42 : 제2 불순물층 44 : 제3 불순물층
46 : 제4 불순물층

[발명의 상세한 설명]

[발명이 속하는 기술분야 및 그 분야의 종래기술]

본 발명은 박막 트랜지스터(Thin Film Transistor:이하, TFT라 한다)에 관한 것으로서, 특히 이중 LDD(Lightly Doped Drain)구조를 갖는 TFT에 관한 것이다. 일반적으로 폴리실리콘 기판을 사용한 TFT는 아몰퍼스(Amorphous) 실리콘을 사용하는 것에 비해 필드효과에 의한 이동도(mobility)가 크기 때문에 액정 디스플레이(Liquid Crystal Display:이하, LCD라 한다)패널 제조시 화소부와 구동회로부를 동시에 집적화할 수 있는 장점이 있다. 하지만, 역 바이어스(Reverse Bias)시 누설전류(leakage current)가 크지기 때문에 정상전류(lon)/누설전류(loff)의 비가 작아져서 구동회로의 특성이 저하된다. 특히 화소부에서는 색조대비 즉, 콘트라스트(contrast)가 저하되고 플리커(Flicker)현상이 나타난다.

이와 같은 이유로 인해 통상의 TFT제조공정에서는 LDD나 오프셋(offset)등의 형성공정을 별도로 적용하게되며 이로 인해 TFT의 순방향에서의 정상전류(lon)의 마진(margine)내에서 누설전류(loff)를 가능한 줄인다. TFT에서 역 바이어스가 인가될 때 누설전류(loff)가 발생하는 원인은 역 바이어스된 드레인(Drain) 접합부에서의 전계의 세기증가에 의한 충돌화 이온(impact ionization)과 캐리어 증식 및 열전자(hot electron) 효과등에 의해 나타난다. 따라서 이러한 누설전류를 줄이기 위한 방법으로는 드레인접합부에서

의 전계를 완화시켜야하고 이를 위해 접합면 부근에서의 불순물 도핑 농도를 낮게 하는 방법이 있다. 이러한 목적으로 형성된 종래 기술에 의한 TFT를 도 1에 도시하였는데, 도 1을 참조하면, 종래 기술에 의한 TFT는 폴리실리콘 기판(10)의 표면에는 얇은 불순물층(12)이 형성되어 있다. 얇은 불순물층(12)은 채널 영역이다. 상기 얇은 불순물층(12) 상에는 게이트 산화막(13)이 있고 그 위에는 게이트전극(14)이 있다. 반도체기판(10)에서 게이트전극(14)으로 한정되는 영역의 좌, 우측에는 각각 소오스영역(S)과 드레인영역(D)이 있는데, 상기 소오스 영역(S)과 드레인 영역(D)의 선정은 임의적이다. 따라서 소오스 영역(S)을 드레인 영역으로 사용할 수도 있다. 소오스영역(S)에는 두개의 불순물영역(16, 18)이 있는데, 하나(16)는 저농도의 불순물 영역이고 다른 하나(18)는 상대적으로 저 농도의 불순물영역(16)보다는 불순물 농도가 높은 고 농도의 불순물 영역이다. 드레인 영역(D)에도 소오스영역(S)과 동일한 구조로 불순물 영역이 형성되어 있다. LDD길이는 도핑된 불순물의 농도에 따라 달라지는데 상술한 종래 기술의 경우 저 농도 불순물영역(16)에 도핑된 불순물이 비소(As)이고 그 농도가 $1.0 \times 10^{13} \text{개/cm}^2$ 인 경우 LDD길이는 약 1.1 μm 이다. 도핑된 불순물이 인(P)이고 그 농도가 $2.0 \times 10^{12} \text{개/cm}^2$ 인 경우 LDD길이는 약 1.8 μm 이다.

이와 같은 종래 기술에 의한 박막 트랜지스터의 드레인은 곧 LDD구조를 갖는다. 따라서 드레인접합부에서의 전계의 세기는 약화되어 누설전류의 감소는 있을 수 있으나 접촉저항도 증가하기 때문에 순방향의 정상전류가 감소되는 효과도 함께 나타난다. 일반적으로 LDD길이가 증가함에 따라 정상전류와 누설전류가 함께 감소하다가 어느 길이 이상이되면 누설전류는 포화되어 더 이상의 감소는 일어나지 않는 대신 정상전류는 계속 감소되어 TFT의 특성이 저하된다.

[발명이 이루고자 하는 기술적 과제]

따라서 본 발명의 목적은 상술한 종래 기술이 갖는 문제점을 해결하기 위한 것으로 드레인 영역에서 누설전류를 감소시키고 정상전류밀도를 높일수 있는 박막 트랜지스터를 제공함에 있다.

[발명의 구성 및 작용]

상기 목적을 달성하기 위하여, 본 발명에 의한 박막 트랜지스터는 게이트전극과 LDD구조의 소오스 및 드레인영역을 갖는 박막 트랜지스터에 있어서, 상기 소오스 및 드레인 영역의 LDD구조는 이중으로 되어 있는 것을 특징으로 한다. 상기 이중 LDD구조는 상기 게이트 전극이 형성되어 있는 반도체기판을 중심으로 좌, 우측이 대칭적으로 형성되어 있으며 그 구조는 상기 게이트전극에 가까운 쪽에는 저 농도의 제1 불순물 영역이 있고, 그 다음에는 고 농도의 제2 불순물영역이 있으며, 상기 고 농도의 제2 불순물영역의 다음에는 다시 저 농도의 제3 불순물 영역이 있고 그 다음에는 다시 고 농도의 제4 불순물 영역이 있다.

본 발명은 이중 LDD구조를 갖기 때문에 드레인 접합면의 전기장의 세기가 감소되어 역 바이어스가 인가될 때 누설전류를 줄일 수 있다. 또한, 저농도의 불순물영역사이의 고 농도의 불순물 영역이 있으므로 순방향 전압인가시 전류의 밀도가 높아진다. 그리고 소오스 및 드레인 영역의 내 불순물 영역의 도핑 농도를 변화시켜 각 불순물영역의 길이를 변화시킴으로써 상기 정상전류의 마진범위내에서 상기 두 LDD영역에서의 최적 누설전류 포화 점(saturation point)을 구할 수 있다.

이하, 본 발명의 실시예에 의한 이중 LDD구조를 갖는 박막 트랜지스터(Thin Film Transistor)를 첨부된 도면을 참조하여 상세하게 설명한다. 아래의 설명에서 종래 기술에서 인용한 참조번호와 동일한 참조번호는 동일한 부재를 나타낸다.

제2도는 본 발명에 의한 이중 LDD구조를 갖는 박막 트랜지스터의 단면도이다. 도 2를 참조하면, 본 발명의 실시예에 의한 이중 LDD구조를 갖는 TFT는 일영역에 얇은 불순물층(12)이 형성된 반도체기판(10)이 있고 상기 반도체 기판(10)의 상기 얇은 불순물층(12)의 전면에는 게이트 산화막(12)을 사이에 두고 게이트전극(14)이 형성되어 있다. 상기 얇은 불순물층(12)이 형성된 반도체기판(10)의 좌, 우측영역에는 소오스영역(S)과 드레인 영역(D)이 형성되어 있다. 상기 소오스 영역(S) 또는 드레인 영역(D)에는 4개의 불순물영역(40, 42, 44 및 46)이 있다. 구체적으로, 상기 게이트전극(14)에 가까운 영역에서부터 저농도의 제1 불순물영역(40)이 있고, 상기 제1 불순물 영역(40) 다음에는 고 농도의 제2 불순물 영역(42)이 있다. 계속해서 상기 제2 불순물 영역(42) 다음에는 다시 저 농도의 제3 불순물 영역(44)이 있으며 상기 제3 불순물 영역(44) 다음에는 다시 고 농도의 제4 불순물영역(46)이 형성되어 있다.

[발명의 효과]

이와 같이 소오스 및 드레인 영역이 두개의 저 농도 불순물영역 사이에 고 농도 불순물 영역이 있는 이중 LDD구조인 본 발명의 일 실시예에 의한 박막 트랜지스터는 드레인 접합면의 전기장의 세기가 감소되어 역 바이어스가 인가될 때 누설전류를 줄일 수 있다. 또한, 저농도의 불순물영역사이의 고 농도의 불순물 영역이 있으므로 순방향 전압인가시 전류의 밀도가 높아진다. 그리고 소오스 및 드레인 영역의 내 불순물 영역의 도핑 농도와 함께 각 불순물영역의 길이를 변화시켜 누설전류와 정상전류의 감소를 최소화 할 수 있음은 물론 상기 정상전류의 마진범위내에서 상기 두 LDD영역에서의 최적 누설전류 포화 점(saturation point)을 구할 수 있다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당분야에서의 통상의 지식을 가진자에 의하여 실시가능함은 명백하다.

(5) 청구의 범위

청구항 1. 게이트전극과 LDD구조의 소오스 및 드레인영역을 갖는 박막 트랜지스터에 있어서, 상기 소오스 및 드레인 영역의 LDD구조는 이중으로 되어 있는 것을 특징으로 하는 박막 트랜지스터.

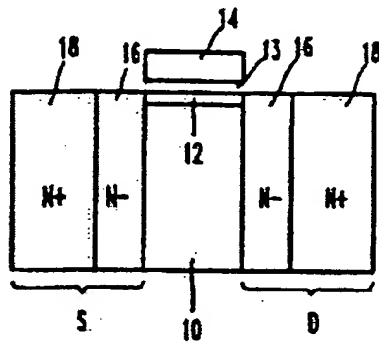
청구항 2. 제1항에 있어서, 상기 이중 LDD구조는 상기 게이트 전극이 형성되어 있는 반도체기판을 중심으로 좌, 우측이 대칭적으로 형성되어 있으며 그 구조는 상기 게이트전극에 가까운 쪽에서 부터 저 농도의 제1 불순물 영역이 있고 그 다음에는 고 농도의 제2 불순물영역이 있으며 상기 고 농도의 제2 불순물 영역의 다음에는 다시 저 농도의 제3 불순물 영역이 있고 그 다음에는 다시 고 농도의 제4 불순물 영역이

있는 것을 특징으로 하는 박막 트랜지스터.

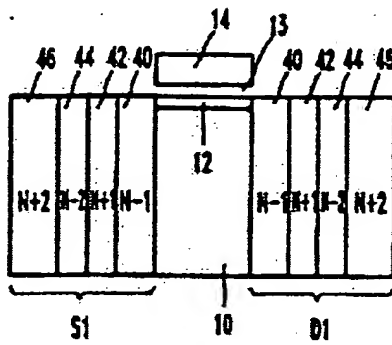
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.